

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009536735 ****Image available****

WPI Acc No: 1993-230275/199329

XRAM Acc No: C93-102460

XRPX Acc No: N93-177021

**Mfg. state image forming device - by adhering 1st substrate of single
crystal silicon@ and 2nd substrate of transparent silicon oxide**

NoAbstract

Patent Assignee: SANYO ELECTRIC CO (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|-------------------|------|----------|-------------|------|----------|----------|
| JP 5152551 | A | 19930618 | JP 91312581 | A | 19911127 | 199329 B |

Priority Applications (No Type Date): JP 91312581 A 19911127

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-----------|------|--------|----------|--------------|
|-----------|------|--------|----------|--------------|

| | | | | |
|------------|---|--|---------------|--|
| JP 5152551 | A | | 4 H01L-027/14 | |
|------------|---|--|---------------|--|

Title Terms: MANUFACTURE; STATE; IMAGE; FORMING; DEVICE; ADHERE;
SUBSTRATE;

SINGLE; CRYSTAL; SILICON; SUBSTRATE; TRANSPARENT; SILICON; OXIDE;
NOABSTRACT

Derwent Class: L03; U11; U13; W04

International Patent Class (Main): H01L-027/14

International Patent Class (Additional): H04N-005/335

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04160851 **Image available**

MANUFACTURE OF SOLID-STATE IMAGING DEVICE

PUB. NO.: **05-152551** [JP 5152551 A]
PUBLISHED: June 18, 1993 (19930618)
INVENTOR(s): HARADA MUNEO
 NISHIDA YOSHIYUKI
APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
 Corporation), JP (Japan)
APPL. NO.: 03-312581 [JP 91312581]
FILED: November 27, 1991 (19911127)
INTL CLASS: [5] H01L-027/14; H04N-005/335
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.6
 (COMMUNICATION -- Television)
JAPIO KEYWORD: R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD &
 BBD)
JOURNAL: Section: E, Section No. 1441, Vol. 17, No. 542, Pg. 8,
 September 29, 1993 (19930929)

ABSTRACT

PURPOSE: To enhance mechanical strength of a CCD solid-state imaging device chip of back surface irradiation type.

CONSTITUTION: A glass substrate 10 and a silicon substrate 11 are banded together. The silicon substrate 11 is grounded and etched to about 10.mu.m thickness. A dispersion area 12 which is reverse conductive type, being contrary to the silicon substrate 11, is formed on the surface of silicon substrate 11. A transfer electrode 14, being the first layer, is formed on the silicon substrate 11 with an oxidized film 13 in between. Further, a transfer electrode 16, being the second layer, is formed with an oxidized film 15 in between. A light beam irradiated from the glass substrate 10 transmits through the glass substrate 10 and then absorbed in the silicon substrate 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-152551

(43) 公開日 平成5年(1993)6月18日

(51) Int. Cl. ⁵

識別記号

F I

H01L 27/14

H04N 5/335

F 8838-5C

7210-4M

H01L 27/14

D

審査請求 未請求 請求項の数 3 (全4頁)

(21) 出願番号 特願平3-312581

(22) 出願日 平成3年(1991)11月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 原田 宗生

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(72) 発明者 西田 芳之

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

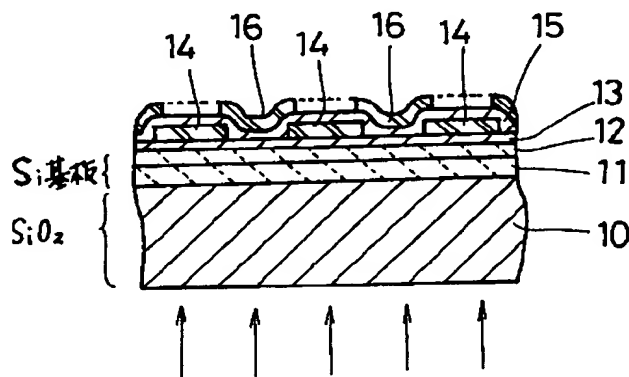
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 固体撮像素子の製造方法

(57) 【要約】

【目的】 裏面照射型のCCD固体撮像素子のチップの機械的強度を高くする。

【構成】 ガラス基板10とシリコン基板11とを貼り合わせ、シリコン基板11を研磨及びエッチングにより10 μ m程度まで薄くする。そして、シリコン基板11の表面にシリコン基板11と逆導電型の拡散領域12を形成する。そして、シリコン基板11上に酸化膜13を介して1層目の転送電極14を形成し、さらに酸化膜15を介して2層目の転送電極16を形成する。ガラス基板10側から照射された光は、ガラス基板10を透過してシリコン基板11に吸収される。



【特許請求の範囲】

【請求項 1】 半導体基板の一方の面上に薄い絶縁膜を介して複数のゲート電極が形成され、上記半導体基板の他方の面側から照射される光により基板内に発生する情報電荷を上記半導体基板の一方の面側の表面付近に形成されるチャネル領域に集めて転送出力する固体撮像素子の製造方法において、入射光を吸収して光電変換作用により情報電荷を発生する単結晶シリコンからなる第 1 の基板と上記入射光に対して透明な酸化シリコンを主成分とする第 2 の基板とを貼り合わせる工程、及び、上記第 1 の基板をこの基板の他方の面側に発生する上記情報電荷を再結合前に上記チャネル領域まで導くことができる厚さまで薄くする工程、を含むことを特徴とする固体撮像素子の製造方法。

【請求項 2】 第 1 の基板と第 2 の基板とを密着させ、さらに加熱処理して両基板を貼り合わせる工程を有することを特徴とする請求項 1 記載の固体撮像素子の製造方法。

【請求項 3】 第 2 の基板と貼り合わされた第 1 の基板を表面側から切削した後、エッチングして所定の厚さを得ることを特徴とする請求項 1 記載の固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、素子形成面と対向する裏面側に光を受ける裏面照射型の固体撮像素子の製造方法に関する。

【0002】

【従来の技術】 テレビカメラ等の撮像装置に広く用いられている CCD 固体撮像素子は、半導体基板上に複数の転送電極を並列に形成し、光電変換作用により固体撮像素子内に発生する情報電荷を転送電極が形成するチャネル領域に蓄積して転送するように構成される。このような固体撮像素子においては、被写体からの光を半導体基板内に取り込むようにするため、光の入射経路の確保がひとつの課題となる。一般に、フレーム転送方式やインターライン転送方式の CCD 固体撮像素子においては、転送電極の間隙に設けられた開口部を通して、あるいは転送電極自体を透過して半導体基板内に光が取り込まれる。このような場合、光が入射される側に転送電極があるため、入射経路を広く確保するのに制限を受けることになる。

【0003】 そこで、被写体からの光を半導体基板の裏面側に受けるようにすることで、光を効率よく半導体基板に取り込むようにすることが考えられている。図 6 にそのような裏面照射型の CCD 固体撮像素子を示す。P 型の導電型を示すシリコン基板 1 の表面には、情報電荷の転送経路を成すチャネル領域が形成される N 型の拡散領域 2 が形成され、この拡散領域 2 上に酸化膜（絶縁膜） 3 を介して多結晶シリコンからなる複数の転送電極

4 が並列に配置される。この 1 層目の転送電極 4 上には、さらに酸化膜（絶縁膜） 5 を介して 2 層目の転送電極 6 が転送電極 4 の間隙を被うように配置される。これらの転送電極 4、6 には、例えば 4 相の転送クロックが印加され、チャネル領域内のポテンシャル状態が転送クロックにตอบสนองして変動させられることにより、チャネル領域に発生する情報電荷が蓄積転送される。

【0004】 ここでシリコン基板 1 は、裏面側に大きな凹みを設けることにより、素子領域での厚みが $10\mu\text{m}$ 程度まで薄く形成されており、これにより、シリコン基板 1 の裏面側で光電変換によって発生した情報電荷（通常はキャリア）が、再結合する前にチャネル領域に取り込まれる。即ち、シリコン基板 1 内に入射する光の作用で分離されるキャリア及びホールは、時間経過と共に再結合するため、キャリアを蓄積するためのチャネル領域を光の入射領域と近づけるように、キャリアを再結合の前に情報電荷として蓄積できるようにシリコン基板 1 が薄く形成される。従って、図中矢印で示すように、シリコン基板 1 の裏面側に被写体からの光が照射されて情報電荷が発生すると、シリコン基板 1 の表面側の拡散領域 2 に形成されるチャネル領域に情報電荷が取り込まれて蓄積される。

【0005】 このような裏面照射型の固体撮像素子は、例えば、IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. ED-23, No. 11, November 1976, 「A Backside Illuminated 400×400 Charge Coupled Device Imager」に詳しい。

【0006】

【発明が解決しようとする課題】 しかしながら、シリコン基板 1 が薄く形成されるためにチップの機械的強度が不足し、素子形成後の組立て工程での取扱いが極めて難しくなる。従って、組立て工程における製造歩留まりが大幅に低下するおそれがあり、コストアップの原因となる。

【0007】 さらに、シリコン基板 1 の裏面側の凹みを形成する際には、エッチング除去されるシリコン内に存在する結晶欠陥や酸素析出等がシリコン基板 1 の活性領域に転写される場合があり、これによりビットの欠陥や感度むら等が発生する可能性がある。そして、シリコン基板 1 の裏面側に凹みを形成するためのエッチング処理についても、極めて長い時間を要することから、コストアップを招くことになる。

【0008】 そこで本発明は、裏面照射型の CCD 固体撮像素子の製造工程を簡略化することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、半導体基板の一方の面上に薄い絶縁膜を介して複

数のゲート電極が形成され、上記半導体基板の他方の面側から照射される光により基板内に発生する情報電荷を上記半導体基板の一方の面側の表面に形成されるチャネル領域に集めて転送出力する固体撮像素子の製造方法において、入射光を吸収して光電変換作用により情報電荷を発生する単結晶シリコンからなる第 1 の基板と上記入射光に対して透明な酸化シリコンを主成分とする第 2 の基板とを貼り合わせる工程、及び、上記第 1 の基板をこの基板の他方の面側に発生する上記情報電荷を再結合前に上記チャネル領域まで導くことができる厚さまで薄くする工程、を含むことにある。

【 0 0 1 0 】

【作用】本発明によれば、素子を形成する基板を薄いシリコン基板と厚いガラス基板との 2 相構造とすることにより、チップの機械的強度を保ったままの状態で、裏面側から入射される光が吸収される領域と情報電荷が蓄積領域との距離を小さくすることができる。また、各転送電極を形成する前の段階でシリコン基板を薄く形成することができるため、製造工程が大幅に簡略化される。

【 0 0 1 1 】

【実施例】図 1 乃至図 5 は、本発明の固体撮像素子の製造方法を説明する工程順断面図である。まず、図 1 の如く、入射される光に対して透明な石英基板（ガラス基板）1 0 と、光を吸収して光電変換するシリコン基板 1 1 とを貼り合わせて一体化する。この貼り合わせ方法としては、各基板 1 0、1 1 に親水処理を施した後に密着させ、さらに 7 0 0℃以上の加熱処理を施すことにより行うことができる。このような親水処理及び加熱処理によると、親水処理により基板 1 0、1 1 の表面に付された水酸基（-OH）が互いに水素結合し、さらに加熱処理により水素結合していた水酸基が H₂O となって脱水縮合を引き起こすため、固体撮像素子を形成する基板として十分な強度を得ることができる。

【 0 0 1 2 】そして、シリコン基板 1 1 側を研磨して最後にエッチングを施し、図 2 に示すように、シリコン基板 1 1 の厚さを最終的に 1 0 μm 程度とする。このシリコン基板 1 1 は、石英基板 1 0 側の表面付近で発生したキャリアを反対側の表面に形成されるチャネル領域に再結合前に取り込むことができ、且つ、入射された光を十分に吸収できるだけの厚さに形成される。なお、石英基板 1 0 の厚さは、5 0 0 μm 前後に形成される。

【 0 0 1 3 】続いて、P 型の導電型を成すシリコン基板 1 1 の表面に、図 3 に示すように、チャネル領域を形成するための N 型の拡散領域 1 2 を形成する。さらに、図 4 に示すように、酸化膜 1 3 を介して多結晶シリコンを積層し、これに所定のパターンを転写して転送電極 1 4

を形成する。そして、転送電極 1 4 上に酸化膜 1 5 を介して再度多結晶シリコンを積層し、図 5 に示すように、1 層目の転送電極 1 4 の間隙を被う領域に 2 層目の転送電極 1 6 を形成する。この転送電極 1 4、1 6 の製造工程については、図 6 に示す従来の固体撮像素子と同一である。

【 0 0 1 4 】このようにして得られる固体撮像素子は、基板が石英基板 1 0 とシリコン基板 1 1 との 2 層構造を成しているため、石英基板 1 0 側から入射される光は、石英基板 1 0 を透過してシリコン基板 1 1 に達し、シリコン基板 1 1 で吸収される。即ち、酸化シリコン（SiO₂）を主成分とする石英基板 1 0 は、可視光（赤外光を含む）に対して光学的に透明であるため、入射した光を吸収することなく透過してシリコン基板 1 1 に照射する。これに対してシリコン基板 1 1 は、照射された光を吸収して光電変換し、情報電荷となるキャリアを発生する。従って、ガラス基板 1 0 により、シリコン基板 1 1 への光の入射に影響を与えることなくチップに機械的強度が与えられ、製造工程でのチップの取扱いが簡単となる。

【 0 0 1 5 】

【発明の効果】本発明によれば、裏面照射型の固体撮像素子のチップの機械的強度を高くすることができるため、製造工程での取扱いが容易となり、製造歩留まりの向上が望める。さらに、基板を薄くするための長時間のエッチング処理が必要なくなるため、製造コストの低減が図れる。

【図面の簡単な説明】

【図 1】本発明の固体撮像素子の製造方法の第 1 工程を示す断面図である。

【図 2】本発明の固体撮像素子の製造方法の第 2 工程を示す断面図である。

【図 3】本発明の固体撮像素子の製造方法の第 3 工程を示す断面図である。

【図 4】本発明の固体撮像素子の製造方法の第 4 工程を示す断面図である。

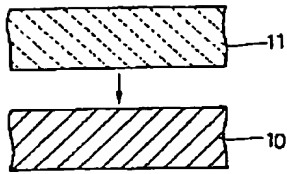
【図 5】本発明の固体撮像素子の製造方法の第 5 工程を示す断面図である。

【図 6】従来の裏面照射型の固体撮像素子を示す断面図である。

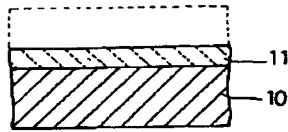
【符号の説明】

- 1 0 ガラス基板
- 1、1 1 シリコン基板
- 2、1 2 拡散領域
- 3、5、1 3、1 5 酸化膜
- 4、6、1 4、1 6 転送電極

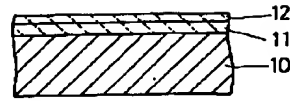
【図 1】



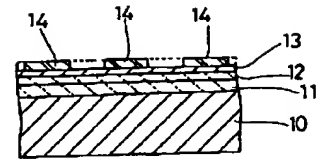
【図 2】



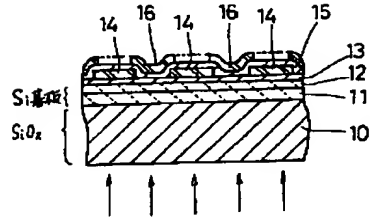
【図 3】



【図 4】



【図 5】



【図 6】

